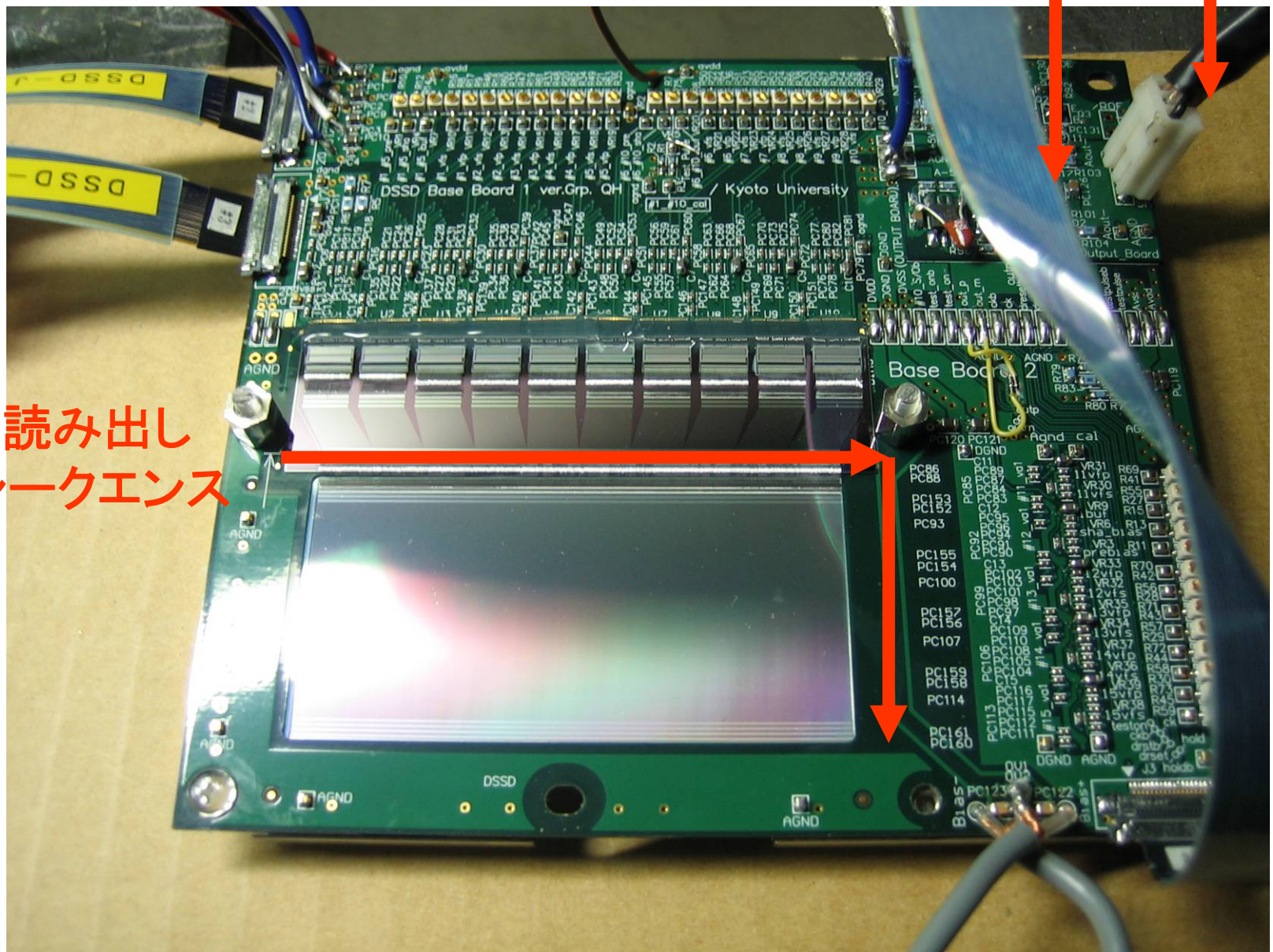
AGS silicon test

GW

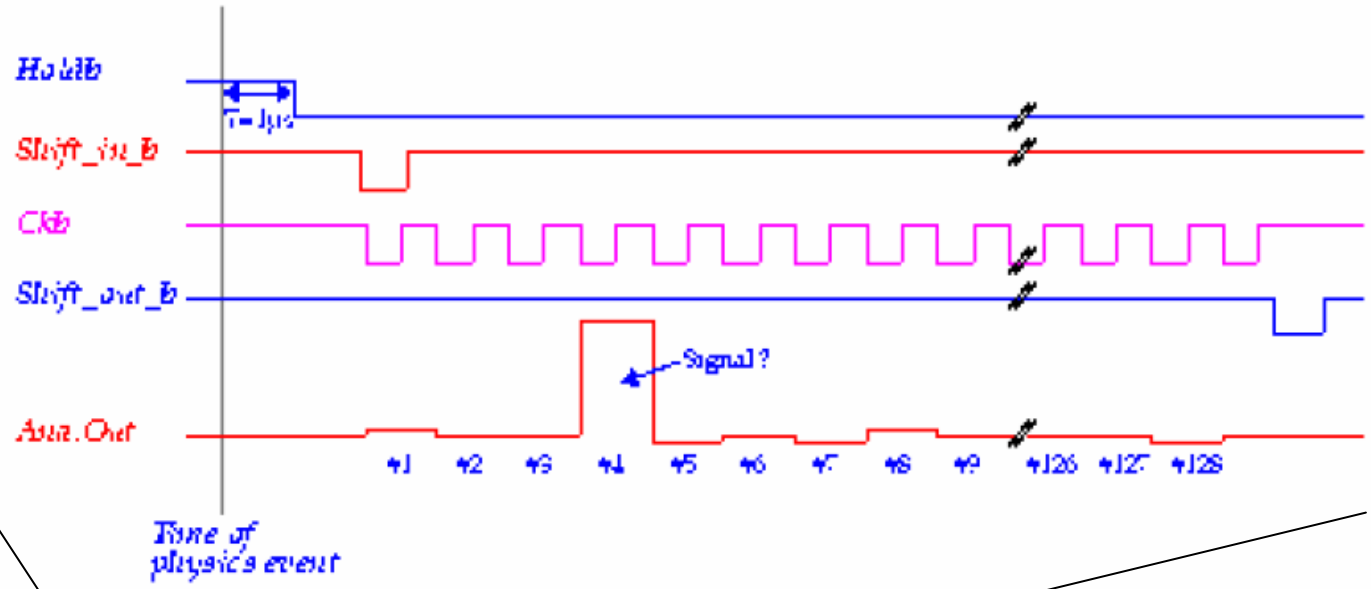
M.Togawa

Silicon 実機

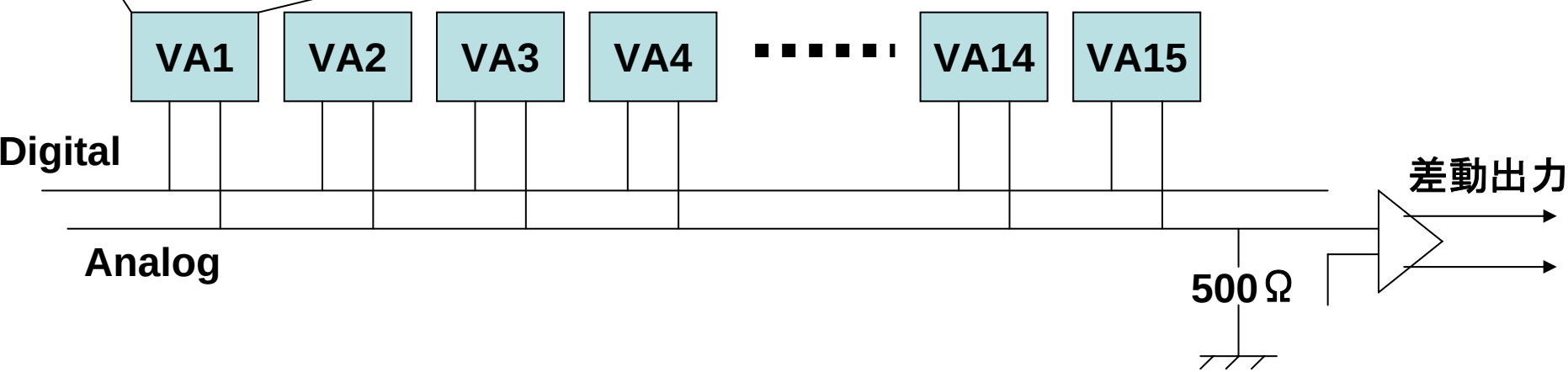
アウトプットボード　出力（差動）



読み出し
シークエンス

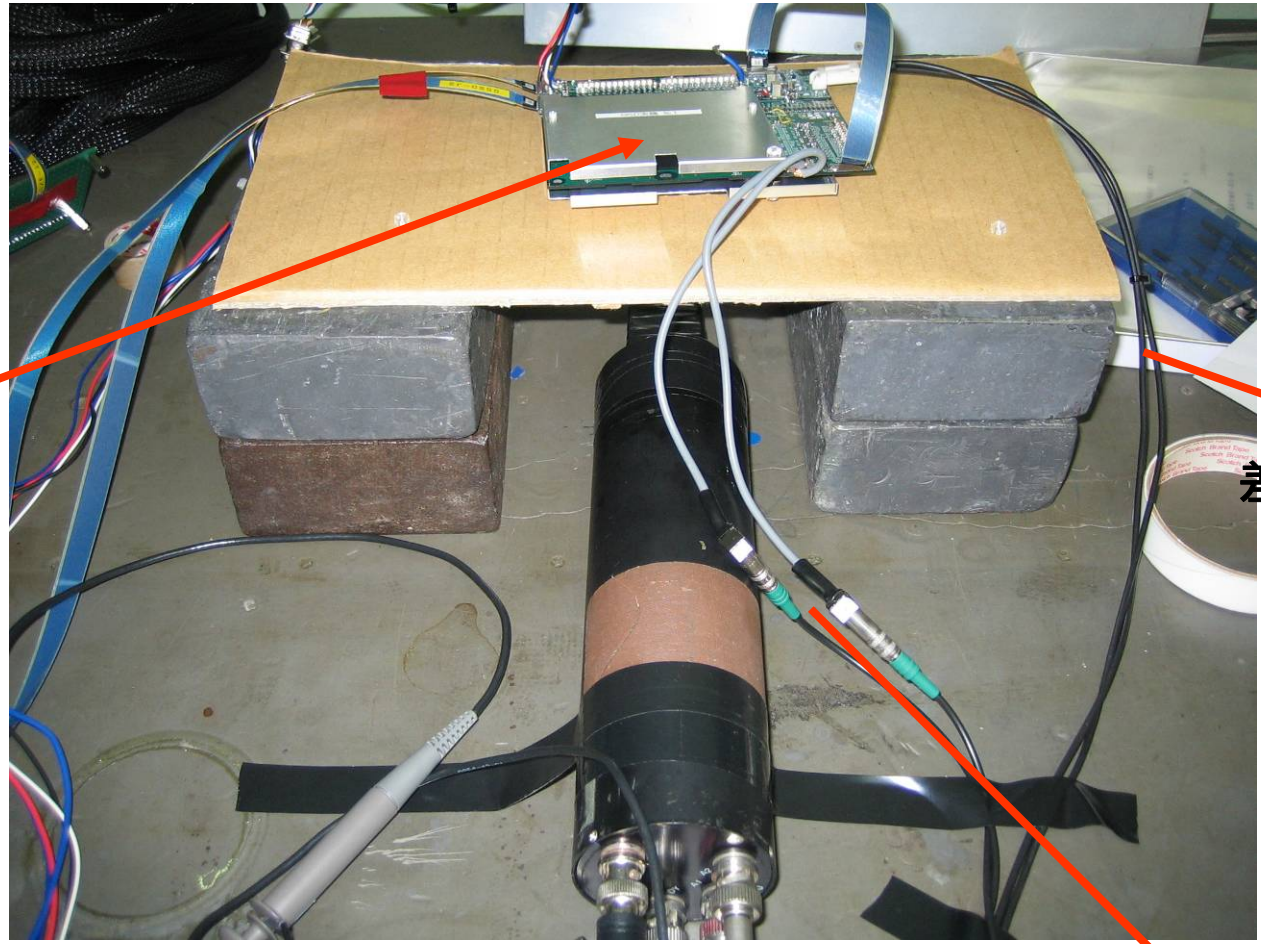


P : VA1~10
N : VA11~15



5MHz clock : 200nsec*1920 = 0.4msec → 2.5kHz

ベータソースによるテスト

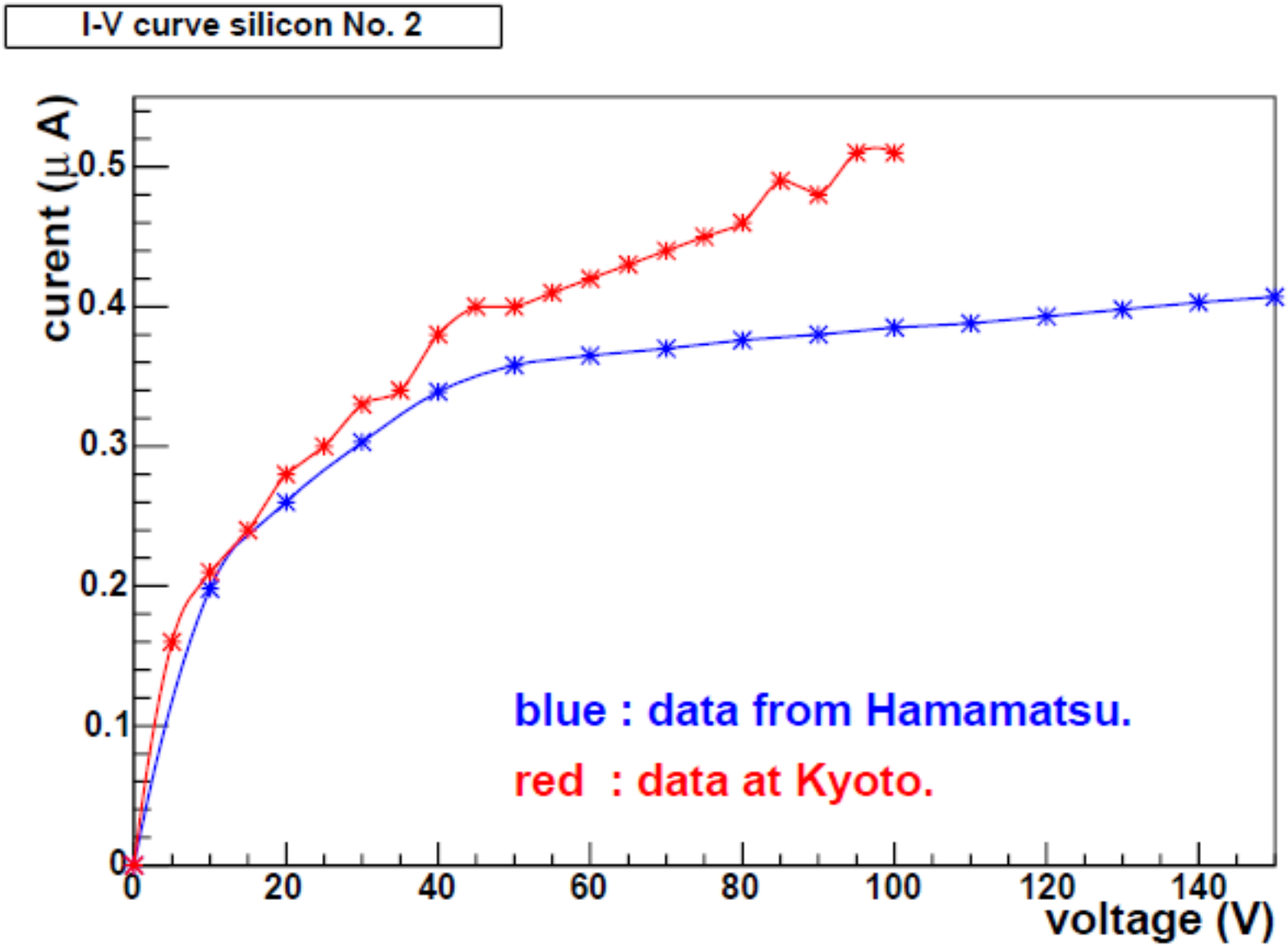


ベータソース
を置いた。

差動出力(LEMO)
ADCへ

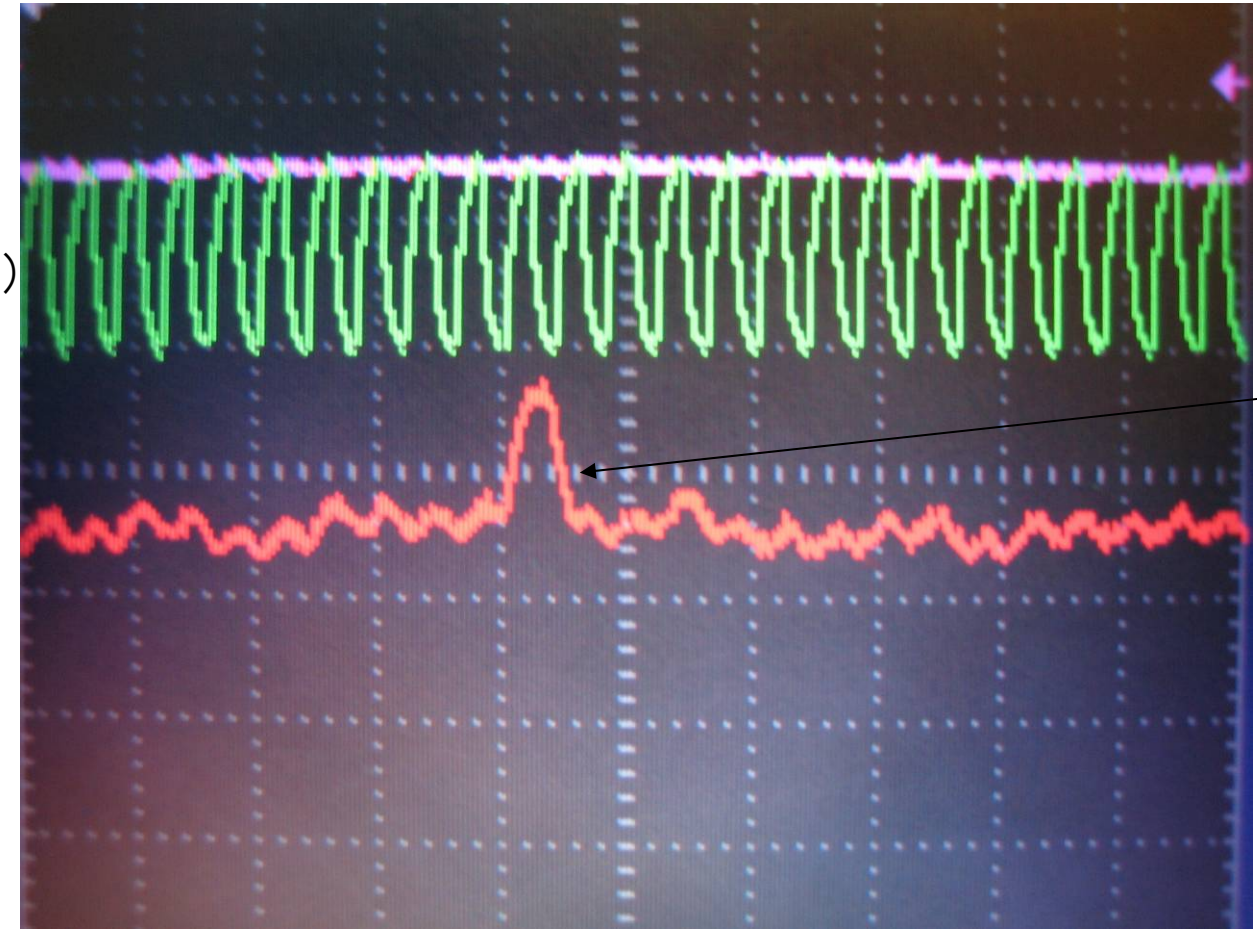
HV (p:- n:+)

I-V curve



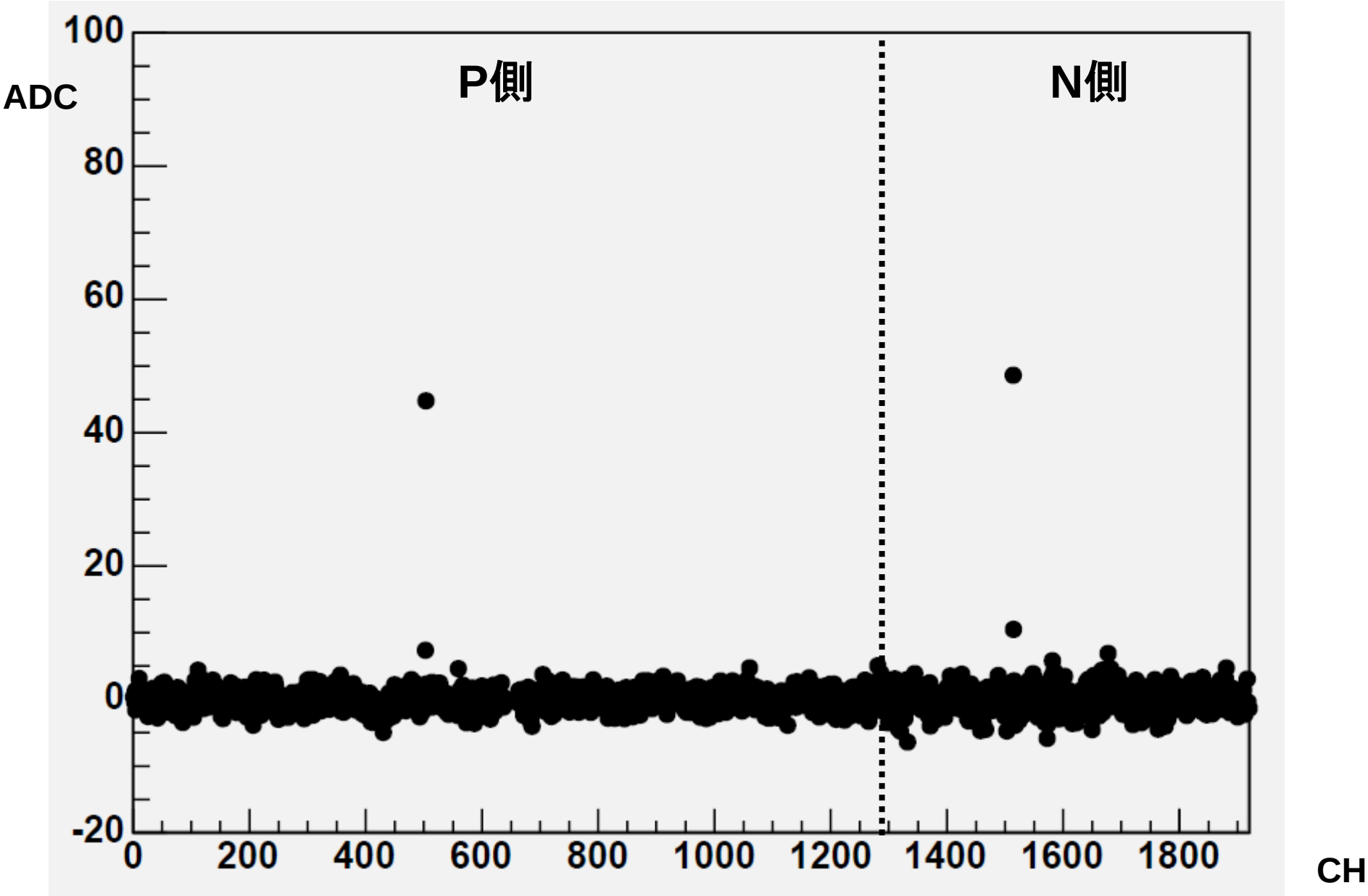
Silicon serial No. 2 : 42,44,115,145 (coupling short.)

シグナル by オシロ

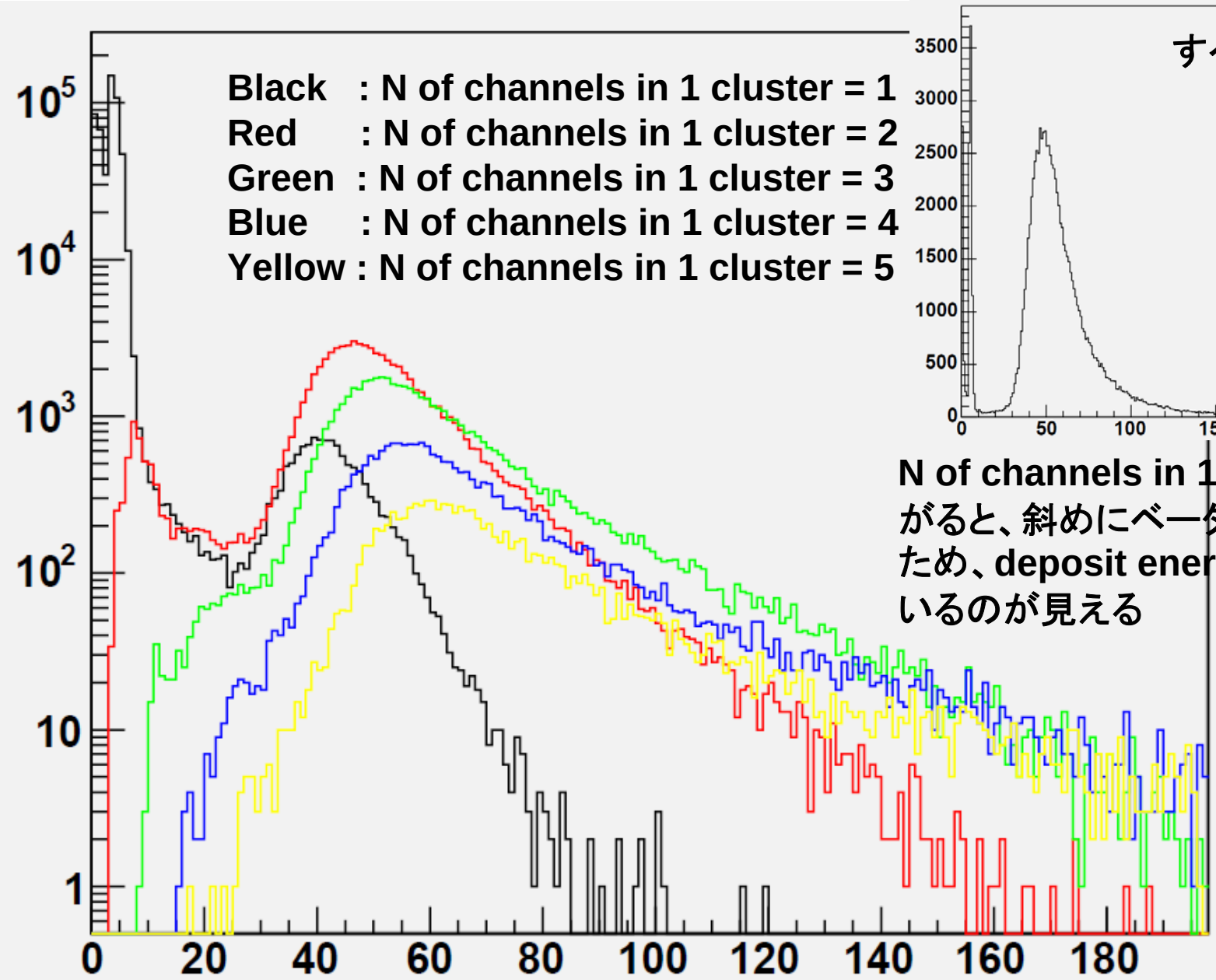


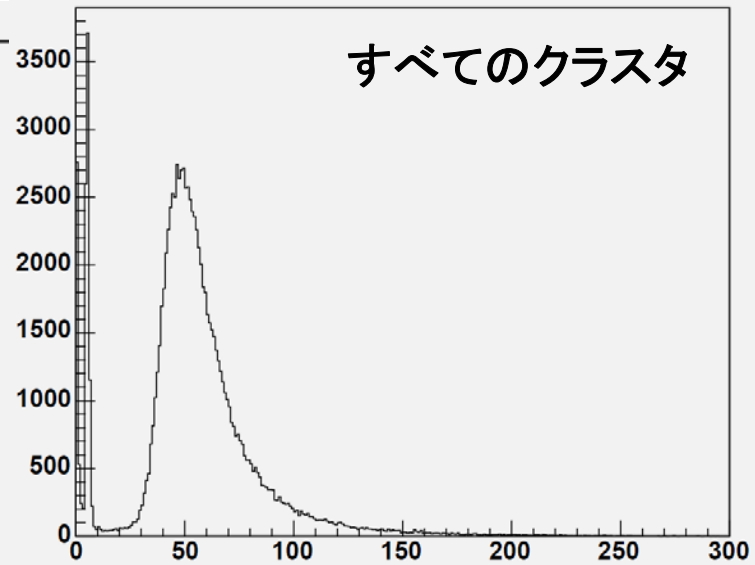
読み出しクロック5MHzでのアウトプット。ベータ線をシンチのトリガーで見ている。
横軸がチャンネルに対応

ADC vs. CH in 1 evt from real data.



クラスタリング後





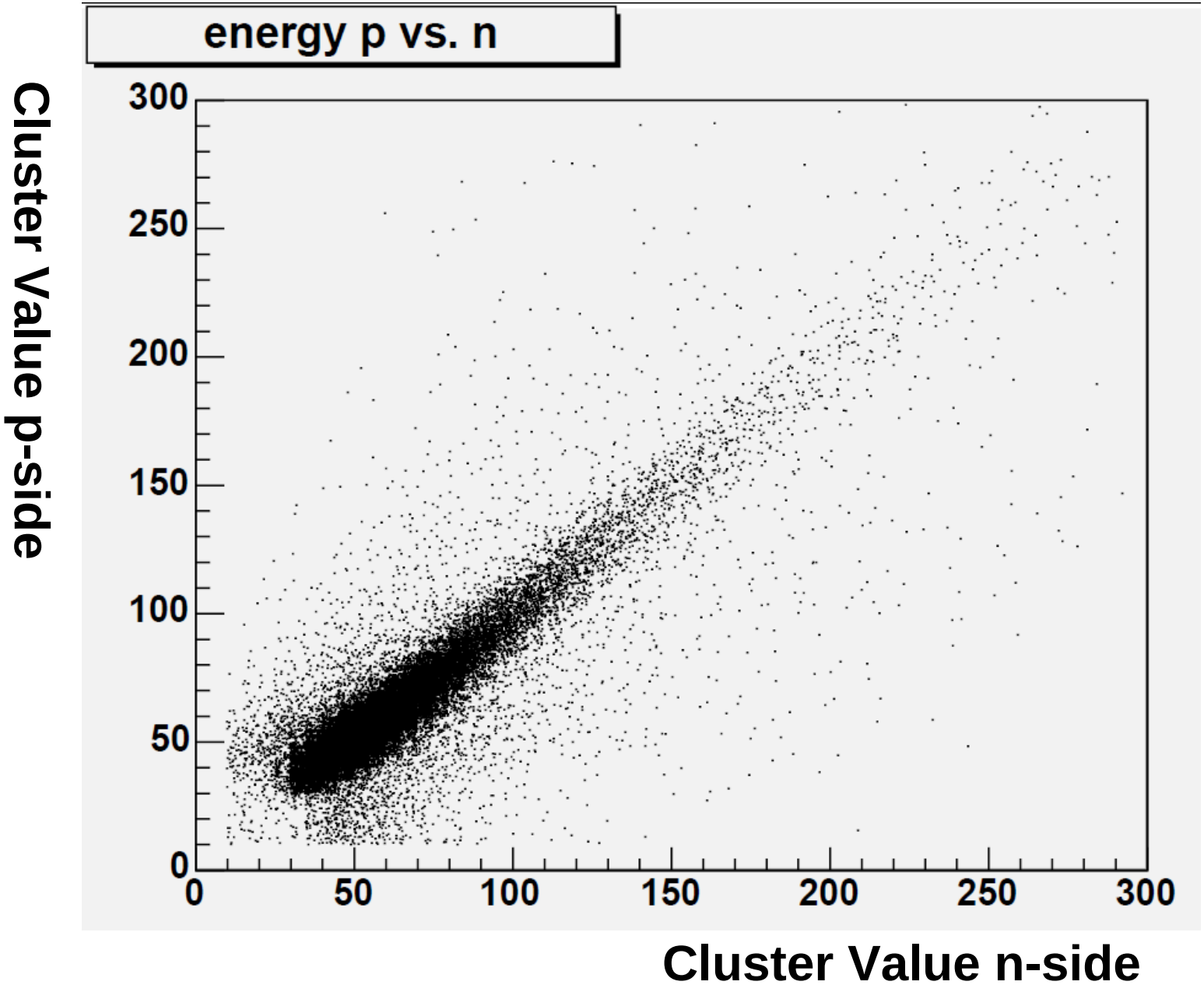
N of channels in 1 Cluster が上がると、斜めにベータ線が走っているため、deposit energy が上がっているのが見える

S/N

- Very very rough geant simulation,
  - この状況下で、突き抜け電子のシリコンにおけるエネルーギーロスのピークは ~120keV
  - 1 MIP = ~120keV @ 300um.
  - このピークを1MIP相当と思ってよい？？
- S/N = 50/2.5 ~ 20???
  - Noise is 1120 e very goooooooooood!!!!

- もっと正確なsimulation（もしくは計算）をしたほうが良い。ほんとにあってるか不安

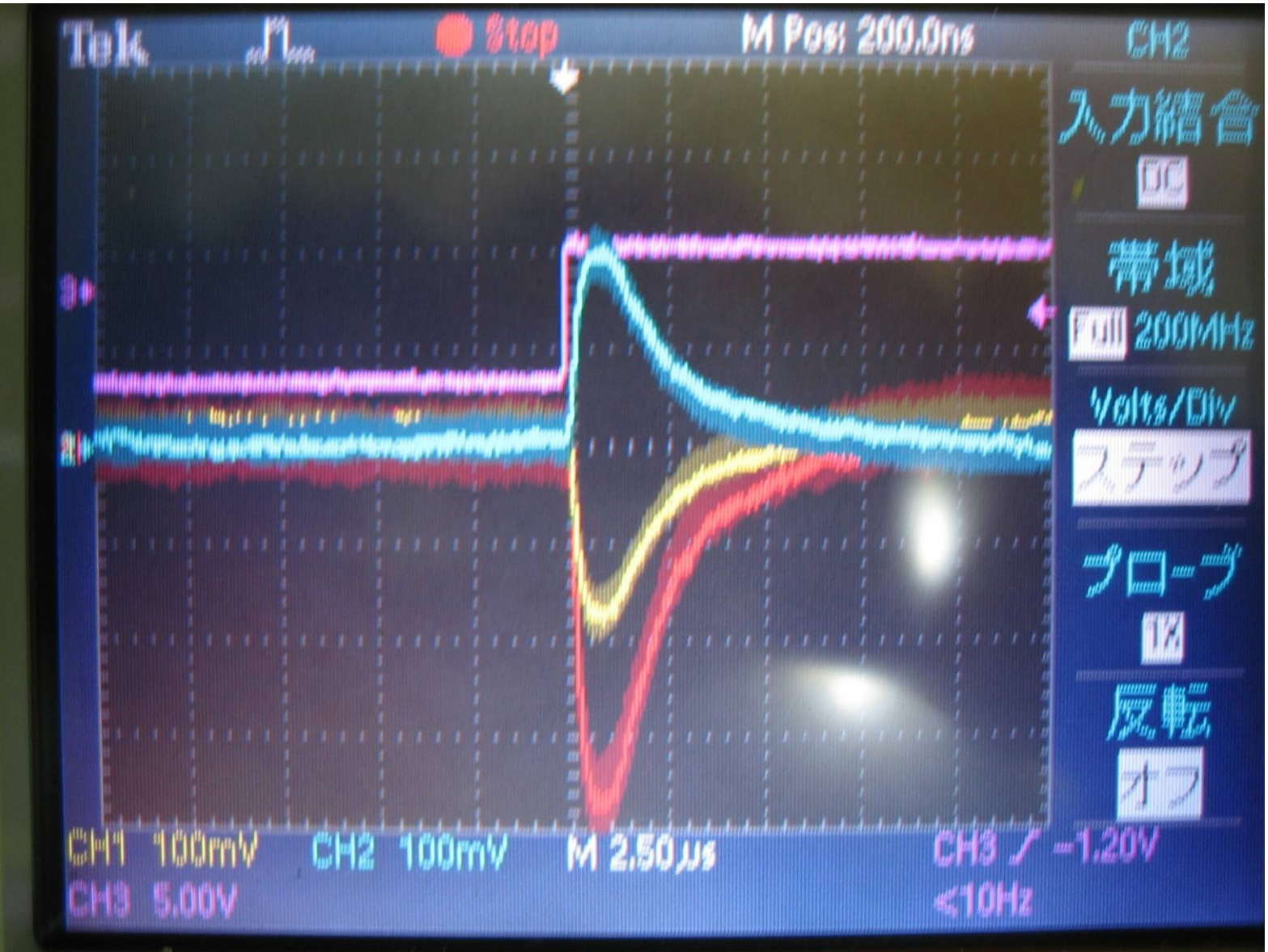
Energy balance



ハワイ学会に向けて（石川、関原）

- クラスタリング
- ベータ線ピーク vs. HV
  - Full depletion を見る。
- タンデム実験？？
  - 本実験ではK+(~1MIP), Ξ(~5MIP)を分けたい。
  - 5MIPまでのレンジがあるか？　(linearity?)

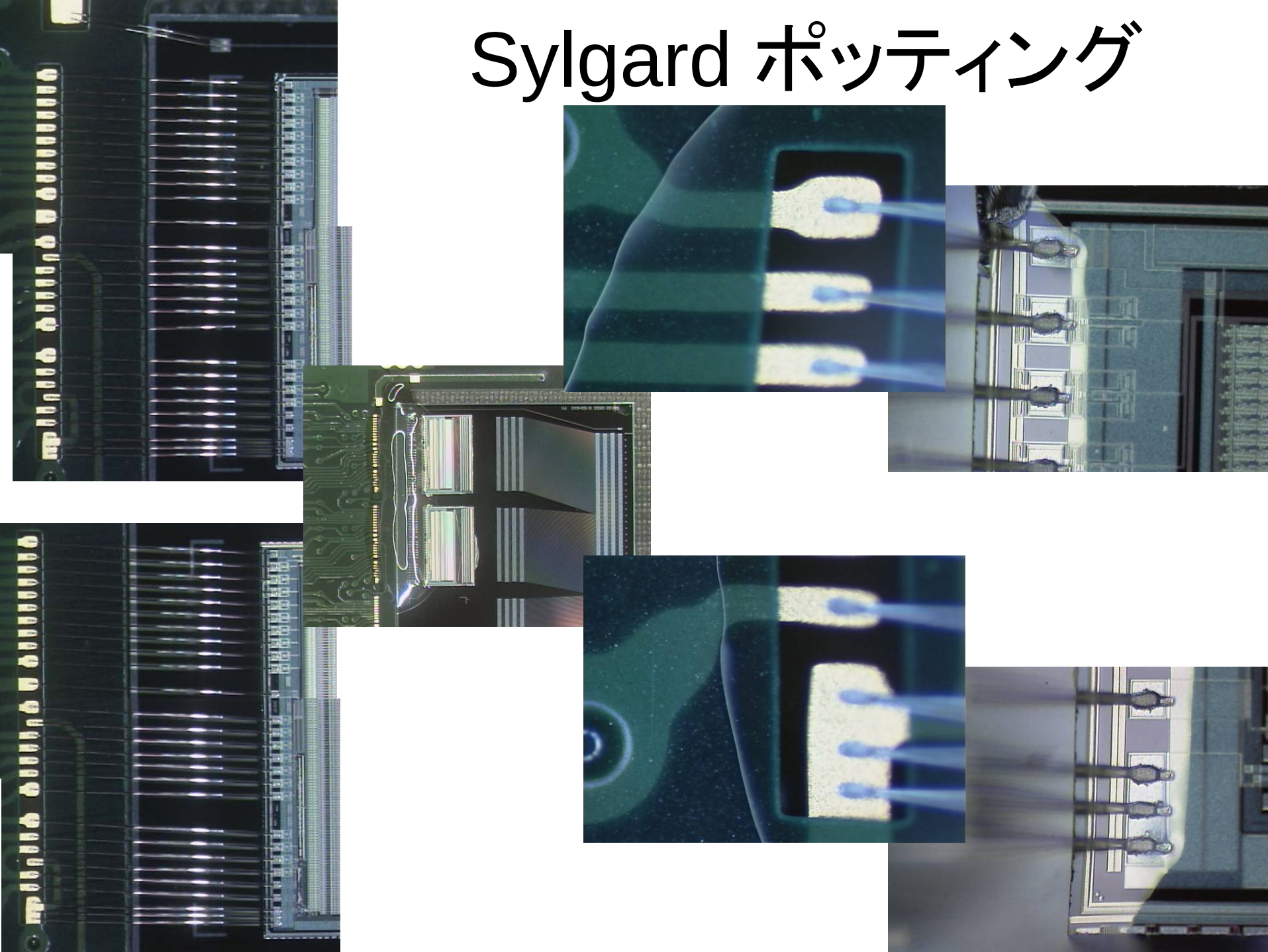
テストパルスの波形



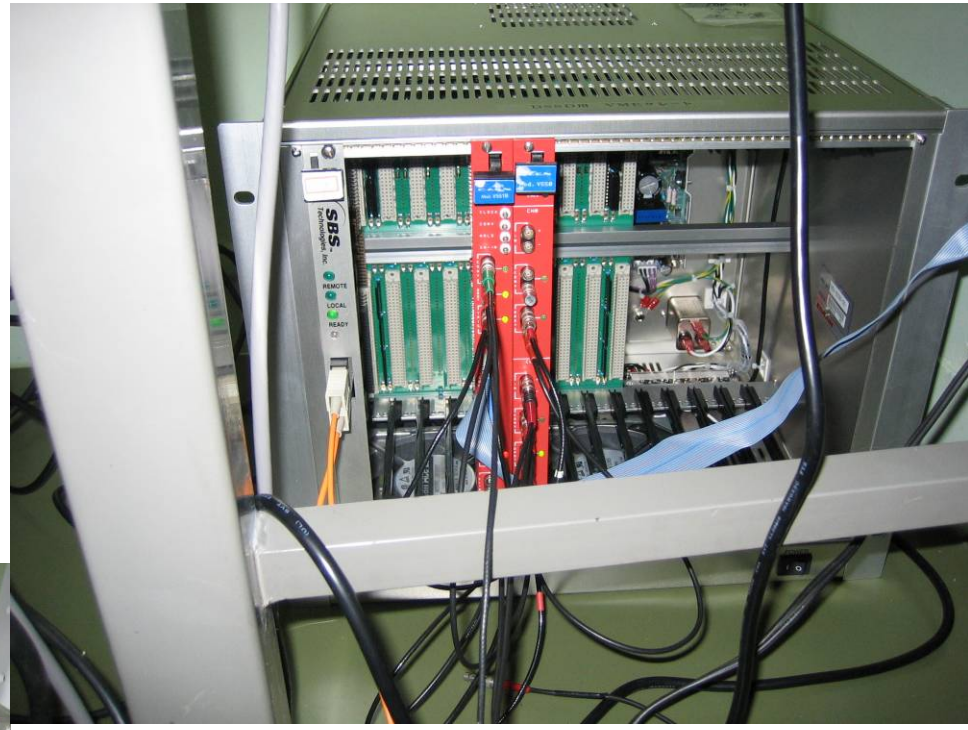
ピンク
テストパルス

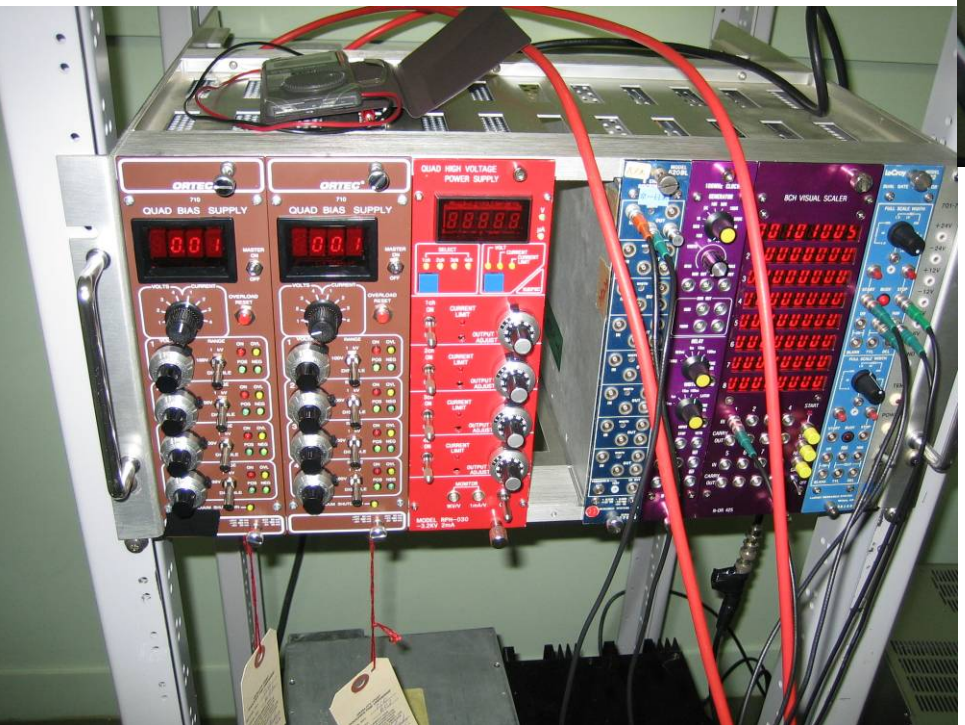
黄
Output +
青
Output –
赤
黄 - 青

Sylgard ポッティング



モジュール


SBS
Technologies, Inc.
REMOTE
LOCAL
READY


ORTEC
QUAD BIAS SUPPLY
ORTEC
QUAD BIAS SUPPLY
QUAD HIGH VOLTAGE
POWER SUPPLY
8CH VISUAL SCALER